CycloneⅢ FPGA 汎用 I/O ボード（typeB） 取扱説明書

本ボードは、240 ﾋﾟﾝの CycloneⅢ FPGA ﾃﾞﾊﾞｲｽ EP3C16Q240C8 の I/O 信号を、IC ｿｹｯﾄに乗せたﾊﾞｯﾌｧや抵抗などを通してｺﾈｸﾀに引き出した、単一電源(+3.3V または+5.0V)で動作可能な汎用の I/O ﾎﾞｰﾄﾞです。FPGA ﾃﾞﾊﾞｲｽの 90 本の信号が 7 個の HIF ｺﾈｸﾀに引き出されており、I/O 信号として利用できます。FPGA の VCCIO は+3.3V と+2.5V の 2 種類があります。VCCIO が+3.3V では、入力信号は+5V ﾄｰﾚﾗﾝﾄであり、また、出力信号は+5V CMOS ﾚﾍﾞﾙに変換することもできます。
IC ｿｹｯﾄにﾄﾗﾝｼﾞｽﾀｱﾚｰを乗せれば、外部のﾘﾚｰを直接駆動できます。その他、8 ﾋﾞｯﾄ分の LED や 29 ﾋﾞｯﾄ分のｽｲｯﾁ(DIP、PUSH ｽｲｯﾁ)が FPGA の I/O 端子に割り当てられています。

（1）VCCIO＝+3.3V の I/O 信号(BANK1、3～8)が、6 個のｺﾈｸﾀに 80 ﾋﾞｯあります。

・DIP 型 IC ｿｹｯﾄに実装するﾃﾞﾊﾞｲｽによって 8 ﾋﾞｯﾄごと に入出力方向を変えられます。
IC ｿｹｯﾄに抵抗ｱﾚｰ、HC/AC-MOS IC、ﾄﾗﾝｼｽﾀｱﾚｰを実装することで、I/O を、多様な入力や出力とすることが出来ます。

・出力形式は抵抗ｱﾚｰ、+3.3V C-MOS、+5V C-MOS、または ﾄﾗﾝｼﾞｽﾀｱﾚｰです。
+5V 出力には、+5V 電源が必要です。抵抗ｱﾚｰ形式は、+3.3V の I/O 信号となります。

・入力形式は IC ｿｹｯﾄに数十Ω程度の抵抗ｱﾚｰを実装します。
この 80 ﾋﾞｯﾄ分の I/O すべてに 、ON 抵抗が 5Ω程度の双方向性の FET ﾊﾞｽ ｽｲｯﾁ(SN74CB3T3245)が入っています。このﾃﾞﾊﾞｲｽは+3.3V 電源で動作していますが 5V ﾄｰﾚﾗﾝﾄであるため、(FPGA I/O の入力は+3.3V ﾚﾍﾞﾙ ですが、) ｺﾈｸﾀﾋﾟﾝ への入力信号は+5V まで入力できるようになっています。

・抵抗ｱﾚｰ(SIP 型、ｵﾌﾟｼｮﾝ)を取り付けて、ｺﾈｸﾀ入出力 ﾋﾟﾝを Pull Up または Pull Down できます。

・信号と同数の GND(ｼﾞｬﾝﾊﾟの選択で電源も出力可能)がｺﾈｸﾀに出ていて、どの信号も GND とﾍﾟｱｰで引き出すことができます。

（2）VCCIO＝+2.5V の I/O 信号(BANK2) が 10 ﾋﾞｯ分ｺﾈｸﾀ に引き出されています。

・5 ﾍﾟｱｰの LVDS 信号として使用できます。
4 ﾍﾟｱの入力 /出力、1 ﾍﾟｱｰの(ｸﾛｯｸ)入力。 入力では 100Ω終端抵抗の取り付けが必要。

・+2.5V C-MOS ﾚﾍﾞﾙの I/O としても使用可能です。

（3）LED が（FPGA 出力に) 8 ﾋﾞｯﾄ分搭載されています。

・FPGA の+3.3V I/O が直接 LED をﾄﾞﾗｲﾌﾞします。

（4）ﾄｰﾀﾙで 29 ﾋﾞｯﾄのｽｲｯﾁ（FPGA に入力)が搭載されています。

・8 回路 DIP ｽｲｯﾁ ----- 2 個
・4 回路 DIP ｽｲｯﾁ ----- 3 個
・ﾀｸﾄ(push)ｽｲｯﾁ ----- 1 個

（5）FPGA の CLK 用に 20MHz の水晶発信器が搭載されています。

・FPGA 内臓の PLL で内部の動作ｸﾛｯｸ周波数を変えることが出来ます。

（6）EP3C16Q240C8 FPGA には、以下のような機能があります。

・ﾛｼﾞｯﾀ ｴﾚﾒﾝﾄ数 ----- 15408
・ﾒﾓﾘ数 ----- 504k ﾋﾞｯﾄ
・ﾏﾙﾁﾌｧ ﾗｲﾔ数 ----- 56
・PLL 数 ----- 4

FPGA のプログラムは、ALTERA から無償でﾀﾞｳﾝﾛｰﾄﾞできる Quartus II Web Edition の Ver7.2 以上で開発できます。ｺﾝﾌｨｸﾞﾚｰｼｮﾝ･ﾃﾞﾊﾞｲｽには再書き込みできる EPCS4 が実装されていますので、何度でも修正のための書き換えが可能です。
(EP3C16 の pof ﾌﾟﾛｸﾞﾗﾑﾌｧｲﾙを EPCS4 用とするために、ｺﾝﾊﾟｲﾙ時にﾌﾟﾛｸﾞﾗﾑﾃﾞｰﾀを圧縮させるための指定が必要です。)
本器は、EP3C16 ﾃﾞﾊﾞｲｽが動作に必要な+1.2V、+2.5V、+3.3V 電源を、基板内で作成しているため単一の+5V 電源で動作します。
5V 出力が不要な場合、+3.3V 供給電源での動作も可能です(+3.3V 電源は+5V 電源より効率が良くなります)。
本ﾎﾞｰﾄﾞは、ｻｲｽﾞ 155 x 180 (ｺﾈｸﾀ突起部を含まず)の 4 層基板となっています。

コネクタ型名

ｺﾈｸﾀ番号	機　能	型　名	適合 ｺﾈｸﾀ	
			ﾘﾎﾞﾝｹｰﾌﾞﾙ用ｿｹｯﾄ	圧着用ｿｹｯﾄ、端子
CN1	4ﾋﾟﾝ 電源供給	HNC2-2.5P-4DSL(ﾖｺ型、ﾋﾛｾ) HNC2-2.5P-4DS(ﾀﾃ型、ﾋﾛｾ)		HNC2-2.5S-4 HNC2-2.5S-D-A
CN2	20ﾋﾟﾝ LVDS、+2.5V I/O	HIF3BA-20PA-2.54DS(ﾖｺ型、ﾋﾛｾ) HIF3BA-20PA-2.54DSA(ﾀﾃ型、ﾋﾛｾ)	HIF3BA-20DA-2.54R	HIF3BA-20D-2.54C HIF3-2226SC
CN3～6	34ﾋﾟﾝ +3.3V/+5V I/O、OC出力	HIF3BA-34PA-2.54DS(ﾖｺ型、ﾋﾛｾ) HIF3BA-34PA-2.54DSA(ﾀﾃ型、ﾋﾛｾ)	HIF3BA-34DA-2.54R	HIF3BA-34D-2.54C HIF3-2226SC
CN7～8	20ﾋﾟﾝ +3.3V/+5V I/O、OC出力	HIF3BA-20PA-2.54DS(ﾖｺ型、ﾋﾛｾ) HIF3BA-20PA-2.54DSA(ﾀﾃ型、ﾋﾛｾ)	HIF3BA-20DA-2.54R	HIF3BA-20D-2.54C HIF3-2226SC
CN9	10ﾋﾟﾝ ﾌﾟﾛｸﾞﾗﾑ書き込み	HIF3FC-10PA-2.54DS(ﾖｺ型、ﾋﾛｾ) HIF3FC-10PA-2.54DSA(ﾀﾃ型、ﾋﾛｾ)	HIF3BA-10DA-2.54R	HIF3BA-10D-2.54C HIF3-2226SC

コネクタ ピンアサイン

CN1 ﾋﾟﾝ番号	記 号	機　能	説　明
1	+VCC	+5V 又は +3. 3V	ｼﾞｬﾝﾊﾟJP21は供給電圧に応じた接続が必要。 出荷時は、+5V供給電源用(+3.3V側) に接続されています。
2	GND	0V	電源GND
3	+VEE	ﾄﾗﾝｼﾞｽﾀｱﾚｰ ｸﾗﾝﾌﾟﾀﾞｲｵｰﾄﾞ用電源	オプション電源。max 35V
4	GND	0V	電源GND

■色 は出荷時のｼﾞｬﾝﾊﾟ設定

接 続 先 FPGAﾋﾟﾝ番号	CN2 ﾋﾟﾝ番号		接 続 先 FPGAﾋﾟﾝ番号
GND	1	2	57 (DIFFIO_L29n)
56 (DIFFIO_L29p)	3	4	GND
GND	5	6	50 (DIFFIO_L27n)
49 (DIFFIO_L27p)	7	8	GND
GND	9	10	45 (DIFFIO_L19n)
44 (DIFFIO_L19p)	11	12	GND
GND	13	14	43 (DIFFIO_L18n)
41 (DIFFIO_L18p)	15	16	GND
GND	17	18	34 (DIFFCLK_1n)
33 (DIFFCLK_1p)	19	20	GND

接続先 (FPGA I/Oﾋﾟﾝ番号)	ﾊﾞｯﾌｧIC (ICｿｹｯﾄ)	CN3 ﾋﾟﾝ番号		接続先 (ｼﾞｬﾝﾊﾟｰ選択)
201	IC3 JP1で+VCC/+VEEを選択 RA6でPull Up/Downを選択	1	2	GNDに接続 JP11をGND側 +VCCに接続 JP11を+V側 JP1を+VCC側 +VEEに接続 JP11を+V側 JP1を+VEE側
200		3	4	
199		5	6	
198		7	8	
197		9	10	
196		11	12	
195		13	14	
194		15	16	
189	IC4 JP2で+VCC/+VEEを選択 RA7でPull Up/Downを選択	17	18	GNDに接続 JP12をGND側 +VCCに接続 JP12を+V側 JP2を+VCC側 +VEEに接続 JP12を+V側 JP2を+VEE側
188		19	20	
187		21	22	
186		23	24	
185		25	26	
184		27	28	
183		29	30	
182		31	32	
JP1の+VCC/+VEE		33	34	JP2の+VCC/+VEE

接続先 (FPGA I/Oﾋﾟﾝ番号)	ﾊﾞｯﾌｧIC (ICｿｹｯﾄ)	CN4 ﾋﾟﾝ番号		接続先 (ｼﾞｬﾝﾊﾟｰ選択)
181	IC5 JP3で+VCC/+VEEを選択 RA8でPull Up/Downを選択	1	2	GNDに接続 JP13をGND側 +VCCに接続 JP13を+V側 JP3を+VCC側 +VEEに接続 JP13を+V側 JP3を+VEE側
177		3	4	
176		5	6	
175		7	8	
174		9	10	
173		11	12	
171		13	14	
169		15	16	
168	IC6 JP4で+VCC/+VEEを選択 RA9でPull Up/Downを選択	17	18	GNDに接続 JP14をGND側 +VCCに接続 JP14を+V側 JP4を+VCC側 +VEEに接続 JP14を+V側 JP4を+VEE側
167		19	20	
166		21	22	
164		23	24	
161		25	26	
160		27	28	
159		29	30	
148		31	32	
JP3の+VCC/+VEE		33	34	JP4の+VCC/+VEE

接続先 (FPGA I/Oﾋﾟﾝ番号)	ﾊﾞｯﾌｧIC (ICｿｹｯﾄ)	CN5 ﾋﾟﾝ番号		接続先 (ｼﾞｬﾝﾊﾟｰ選択)
147	IC7 JP5で+VCC/+VEEを選択 RA10でPull Up/Downを選択	1	2	GNDに接続 JP15をGND側 +VCCに接続 JP15を+V側 JP5を+VCC側 +VEEに接続 JP15を+V側 JP5を+VEE側
146		3	4	
145		5	6	
144		7	8	
143		9	10	
142		11	12	
139		13	14	
137		15	16	
135	IC8 JP6で+VCC/+VEEを選択 RA11でPull Up/Downを選択	17	18	GNDに接続 JP16をGND側 +VCCに接続 JP16を+V側 JP6を+VCC側 +VEEに接続 JP16を+V側 JP6を+VEE側
134		19	20	
133		21	22	
132		23	24	
131		25	26	
128		27	28	
127		29	30	
126		31	32	
JP5の+VCC/+VEE		33	34	JP6の+VCC/+VEE

接続先 (FPGA I/Oﾋﾟﾝ番号)	ﾊﾞｯﾌｧIC (ICｿｹｯﾄ)	CN6 ﾋﾟﾝ番号		接続先 (ｼﾞｬﾝﾊﾟｰ選択)
120	IC9 JP7で+VCC/+VEEを選択 RA12でPull Up/Downを選択	1	2	GNDに接続 JP17をGND側 +VCCに接続 JP17を+V側 JP7を+VCC側 +VEEに接続 JP17を+V側 JP7を+VEE側
119		3	4	
118		5	6	
117		7	8	
114		9	10	
113		11	12	
112		13	14	
111		15	16	
110	IC10 JP8で+VCC/+VEEを選択 RA13でPull Up/Downを選択	17	18	GNDに接続 JP18をGND側 +VCCに接続 JP18を+V側 JP8を+VCC側 +VEEに接続 JP18を+V側 JP8を+VEE側
109		19	20	
108		21	22	
107		23	24	
106		25	26	
103		27	28	
102		29	30	
101		31	32	
JP7の+VCC/+VEE		33	34	JP8の+VCC/+VEE

接続先 (FPGA I/Oﾋﾟﾝ番号)	ﾊﾞｯﾌｧIC (ICｿｹｯﾄ)	CN7 ﾋﾟﾝ番号		接続先 (ｼﾞｬﾝﾊﾟｰ選択)
82	IC11 JP9で+VCC/+VEEを選択 RA14でPull Up/Downを選択	1	2	GNDに接続 JP19をGND側 +VCCに接続 JP19を+V側 JP9を+VCC側 +VEEに接続 JP19を+V側 JP9を+VEE側
81		3	4	
80		5	6	
78		7	8	
76		9	10	
73		11	12	
72		13	14	
71		15	16	
JP9の+VCC/+VEE		17	18	JP9の+VCC/+VEE
		19	20	

■色は出荷時のｼﾞｬﾝﾊﾟ設定

接続先 (FPGA I/Oﾋﾟﾝ番号)	ﾊﾞｯﾌｧIC (ICｿｹｯﾄ)	CN8 ﾋﾟﾝ番号		接続先 (ｼﾞｬﾝﾊﾟｰ選択)
222	IC12 JP10で+VCC/+VEEを選択 RA15でPull Up/Downを選択	1	2	GNDに接続 JP20をGND側 +VCCに接続 JP20を+V側 JP10を+VCC側 +VEEに接続 JP20を+V側 JP10を+VEE側
221		3	4	
220		5	6	
219		7	8	
218		9	10	
217		11	12	
216		13	14	
214		15	16	
JP10の+VCC/+VEE		17	18	JP10の+VCC/+VEE
		19	20	

■色は出荷時のｼﾞｬﾝﾊﾟ設定

注意）JP1～JP10 で+VCC/+VEE 電源を選択します(これらは、IC3～IC12 の供給電源を決めるものではありません)。JP11～JP20 のｼﾞｬﾝﾊﾟで、I/O 信号とﾍﾟｱｰで引き出す GND/+VCC/+VEE を選択します。詳細は出力ﾎﾟｰﾄの項を参照してください。

接続先 ﾋﾟﾝ番号		CN9		接続先 ﾋﾟﾝ番号	
EP3C16Q240	EPCS4SI8	ﾋﾟﾝ番号		EPCS4SI8	EP3C16Q240
23 : DCLK	6 : DCLK	1	2	GND	
153 : CONF_DONE	——	3	4	+3.3V電源	
25 : nCONFIG	——	5	6	——	30 : nCE
24 : DATA0	2 : DATA	7	8	1 : nCS	14 : FLASH_nCE
12 : DATA1	5 : ASDI	9	10	GND	

CN9 に、Byte Blaster を接続し Active Serial Programming ﾓｰﾄﾞで、EPCS4 に書き込むことが出来ます。

EP3C16 FPGA のｺﾝﾌｨｸﾞﾚｰｼｮﾝに必要なﾒﾓﾘ容量は、約 4.5M ﾋﾞｯﾄですが、EPCS4 には、約 4.19M ﾋﾞｯﾄの容量しかなく、このままでは７％程度不足しています。

そこで、EPCS4 に収まるようｺﾝﾊﾟｲﾙ時にﾃﾞｰﾀを圧縮させる必要があります。

EP3C16Q240 ピンアサイン

FPGA ピン番号	信号名／機能	接 続 先	
1	VCCD_PLL3	+1.2V	
2	GNDA3	GND	
3	VCCA3	+2.5V	
4	IO	SW2-2	DIPｽｲｯﾁ SW2 入力
5	IO	SW2-1	
6	IO	SW1-8	DIPｽｲｯﾁ SW1 入力 L：ON H：OFF
7	VCCIO1	+3.3V	
8	GND	GND	
9	IO	SW1-7	
10	VCCINT	+1.2V	
11	GND	GND	
12	DATA1	CN9-9, IC2-5	
13	IO	SW1-6	
14	FLASH_nCE	CN9-8, IC2-1	
15	VCCIO1	+3.3V	
16	GND	GND	
17	nSTSTUS	10kΩﾌﾟﾙｱｯﾌﾟ	
18	IO	SW1-5	
19	IO	SW1-4	
20	IO	SW1-3	
21	IO	SW1-2	
22	IO	SW1-1	
23	DCLK	CN9-1, IC2-6	
24	DATA0	CN9-7, IC2-2	
25	nCONFIG	CN9-5	
26	TDI	+3.3V	
27	TCK	GND	
28	TMS	+3.3V	
29	TDO	ｵｰﾌﾟﾝ	
30	nCE	CN9-6	
31	CLK0（未使用）	GND	
32	CLK1（未使用）	GND	
33	CLK2(DIFCLK_1p)	CN2-19	BANK2 （+2.5V I/O）
34	CLK3(DIFCLK_1n)	CN2-18	
35	VCCIO2	+2.5V	
36	GND	GND	
37	IO （未使用）	GND	
38	IO （未使用）	GND	
39	IO （未使用）	GND	
40	VCCINT	+1.2V	
41	IO (DIFIO_L18p)	CN2-15	
42	GND	GND	
43	IO (DIFIO_L18n)	CN2-14	
44	IO (DIFIO_L19p)	CN2-11	
45	IO (DIFIO_L19n)	CN2-10	
46	IO （未使用）	GND	
47	VCCIO2	+2.5V	
48	GND	GND	
49	IO (DIFIO_L27p)	CN2-7	
50	IO (DIFIO_L27n)	CN2-6	
51	IO （未使用）	GND	
52	IO （未使用）	GND	
53	VCCINT	+1.2V	
54	GND	GND	
55	IO （未使用）	GND	
56	IO (DIFIO_L29p)	CN2-3	
57	IO (DIFIO_L29n)	CN2-2	
58	VCCA1	+2.5V	
59	GNDA1	GND	
60	VCCD_PLL1	+1.2V	

FPGA ピン番号	信号名／機能	接 続 先	ﾊﾞｯﾌｧIC 、ｼﾞｬﾝﾊﾟ （入力/出力ｸﾞﾙｰﾌﾟ）
61	VCCINT	+1.2V	
62	GND	GND	
63	IO （未使用）	GND	
64	IO	SW5-4	DIPｽｲｯﾁ SW5 入力 L：ON H：OFF
65	IO	SW5-3	
66	VCCIO3	+3.3V	
67	GND	GND	
68	IO	SW5-2	
69	IO	SW5-1	
70	IO	SW6	ﾀｸﾄｽｲｯﾁSW6入力
71	IO	CN7-15	
72	IO	CN7-13	
73	IO	CN7-11	
74	VCCINT	+1.2V	
75	GND	GND	
76	IO	CN7-9	IC11 JP9
77	VCCIO3	+3.3V	
78	IO	CN7-7	
79	GND	GND	
80	IO	CN7-5	
81	IO	CN7-3	
82	IO	CN7-1	
83	IO （未使用）	GND	LED DS1～DS4 L：点灯 H：消灯
84	IO	DS1	
85	IO	DS2	
86	IO	DS3	
87	IO	DS4	
88	IO （未使用）	GND	
89	CLK15(未使用)	GND	
90	CLK14(未使用)	GND	
91	CLK13(未使用)	GND	
92	CLK12(未使用)	GND	
93	IO （未使用）	GND	
94	IO	DS5	LED DS5～DS8 L：点灯 H：消灯
95	IO	DS6	
96	VCCIO4	+3.3V	
97	GND	GND	
98	IO	DS7	
99	IO	DS8	
100	IO （未使用）	GND	
101	IO	CN6-31	
102	IO	CN6-29	
103	IO	CN6-27	
104	VCCIO4	+3.3V	
105	GND	GND	IC10 JP8
106	IO	CN6-25	
107	IO	CN6-23	
108	IO	CN6-21	
109	IO	CN6-19	
110	IO	CN6-17	
111	IO	CN6-15	
112	IO	CN6-13	
113	IO	CN6-11	
114	IO	CN6-9	
115	VCCINT	+1.2V	IC9 JP7
116	GND	GND	
117	IO	CN6-7	
118	IO	CN6-5	
119	IO	CN6-3	
120	IO	CN6-1	

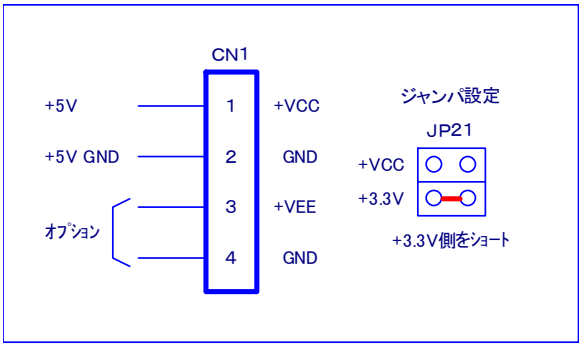
EP3C16Q240 ピンアサイン（ つづき ）

FPGA ピン番号	信号名／機能	接 続 先	バッファIC 、ジャンパ （入力/出力ｸﾞﾙｰﾌﾟ）
121	VCCD_PLL4	+1.2V	
122	GNDA4	GND	
123	VCCA4	+2.5V	
124	VCCIO5	+3.3V	
125	GND	GND	
126	IO	CN5-31	
127	IO	CN5-29	
128	IO	CN5-27	
129	VCCINT	+1.2V	
130	GND	GND	IC8
131	IO	CN5-25	JP6
132	IO	CN5-23	
133	IO	CN5-21	
134	IO	CN5-19	
135	IO	CN5-17	
136	VCCIO5	+3.3V	
137	IO	CN5-15	
138	GND	GND	
139	IO	CN5-13	
140	VCCINT	+1.2V	
141	GND	GND	IC7
142	IO	CN5-11	JP5
143	IO	CN5-9	
144	IO	CN5-7	
145	IO	CN5-5	
146	IO	CN5-3	
147	IO	CN5-1	
148	IO	CN4-31	
149	CLK7（未使用）	GND	
150	CLK6（未使用）	GND	
151	CLK5（未使用）	GND	
152	CLK4（未使用）	GND	
153	CONF_DONE	CN9-3	
154	VCCIO6	+3.3V	
155	MSEL0	GND	
156	GND	GND	
157	MSEL1	+3.3V	IC6
158	MSEL2	GND	JP4
159	IO	CN4-29	
160	IO	CN4-27	
161	IO	CN4-25	
162	IO (nCEO)	ｵｰﾌﾟﾝ	
163	VCCINT	+1.2V	
164	IO	CN4-23	
165	GND	GND	
166	IO	CN4-21	
167	IO	CN4-19	
168	IO	CN4-17	
169	IO	CN4-15	
170	VCCIO6	+3.3V	
171	IO	CN4-13	
172	GND	GND	
173	IO	CN4-11	
174	IO	CN4-9	IC5
175	IO	CN4-7	JP3
176	IO	CN4-5	
177	IO	CN4-3	
178	VCCA2	+2.5V	
179	GNDA2	GND	
180	VCCD_PLL2	+1.2V	

FPGA ピン番号	信号名／機能	接 続 先	バッファIC 、ジャンパ （入力/出力ｸﾞﾙｰﾌﾟ）
181	IO	CN4-1	IC5
182	IO	CN3-31	
183	IO	CN3-29	
184	IO	CN3-27	
185	IO	CN3-25	IC4
186	IO	CN3-23	JP2
187	IO	CN3-21	
188	IO	CN3-19	
189	IO	CN3-17	
190	VCCINT	+1.2V	
191	GND	GND	
192	VCCIO7	+3.3V	
193	GND	GND	
194	IO	CN3-15	
195	IO	CN3-13	
196	IO	CN3-11	
197	IO	CN3-9	IC3
198	IO	CN3-7	JP1
199	IO	CN3-5	
200	IO	CN3-3	
201	IO	CN3-1	
202	IO （未使用）	GND	
203	IO （未使用）	GND	
204	VCCINT	+1.2V	
205	GND	GND	
206	VCCIO7	+3.3V	
207	IO （未使用）	GND	
208	GND	GND	
209	CLK8	20MHz ｸﾛｯｸ	
210	CLK9（未使用）	GND	
211	CLK10（未使用）	GND	
212	CLK11（未使用）	GND	
213	VCCIO8	+3.3V	
214	IO	CN8-15	
215	GND	GND	
216	IO	CN8-13	
217	IO	CN8-11	IC12
218	IO	CN8-9	JP10
219	IO	CN8-7	
220	IO	CN8-5	
221	IO	CN8-3	
222	IO	CN8-1	
223	IO	SW4-4	
224	IO	SW4-3	
225	VCCIO8	+3.3V	DIP ｽｲｯﾁ SW4 入力 L : ON H : OFF
226	IO	SW4-2	
227	GND	GND	
228	VCCINT	+1.2V	
229	GND	GND	
230	IO	SW4-1	
231	IO	SW3-4	
232	IO	SW3-3	DIP ｽｲｯﾁ SW3 入力 L : ON H : OFF
233	IO	SW3-2	
234	IO	SW3-1	
235	IO	SW2-8	
236	IO	SW2-7	
237	IO	SW2-6	DIP ｽｲｯﾁ SW2 入力 L : ON H : OFF
238	IO	SW2-5	
239	IO	SW2-4	
240	IO	SW2-3	

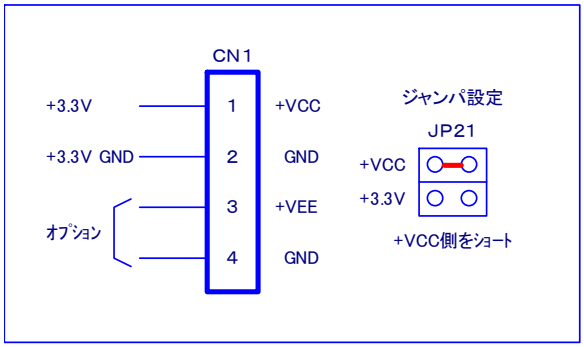
電源の接続（ コネクタＣＮ１ ）

・ +5V 電源の場合（ +5V±0.5V 以内 ）



ｼﾞｬﾝﾊﾟ JP21 の+3.3V 側をｼｮｰﾄします(出荷時設定)。

・ +3.3V 電源の場合（ +3.3V±0.15V 以内 ）



ｼﾞｬﾝﾊﾟ JP21 の+VCC 側をｼｮｰﾄします。

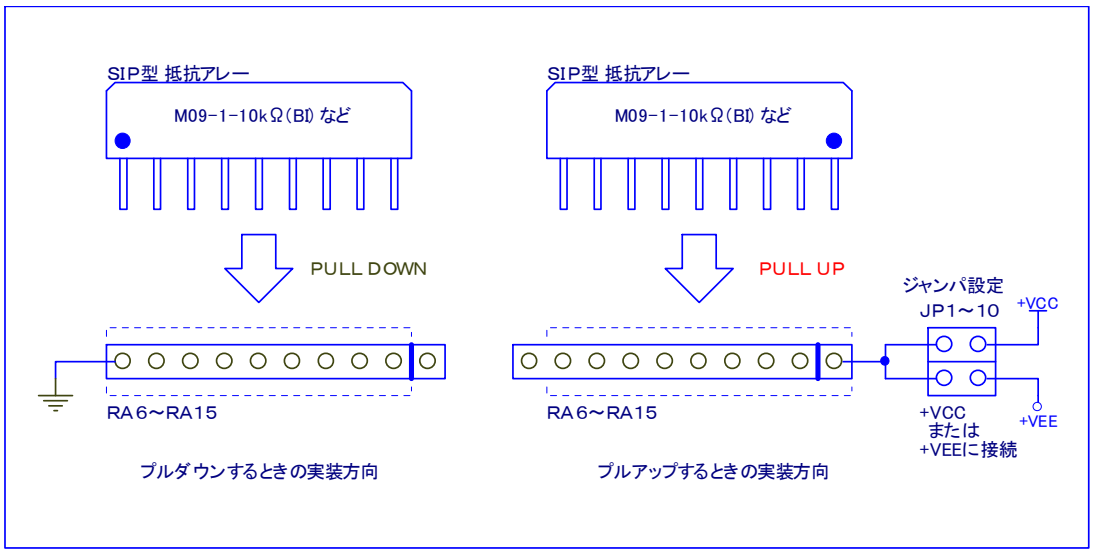
・ 消費電流

+3.3V 電源、+5.0V 電源の消費電流は、約 100mA(20MHz ｸﾛｯｸ動作、5%のﾛｼﾞｯｸｴﾚﾒﾝﾄ使用、無負荷時)です。

消費電流は、使用するﾛｼﾞｯｸｴﾚﾒﾝﾄ数、動作ｸﾛｯｸ周波数、出力負荷などにより大きく変わります。

実際に動作させたときの消費電流が、供給電源容量以内に十分収まっていることの確認が必要でしょう。

SIP 型抵抗ｱﾚｰ RA6～RA15 の実装



出力ポート（ コネクタＣＮ３～ＣＮ８ ）

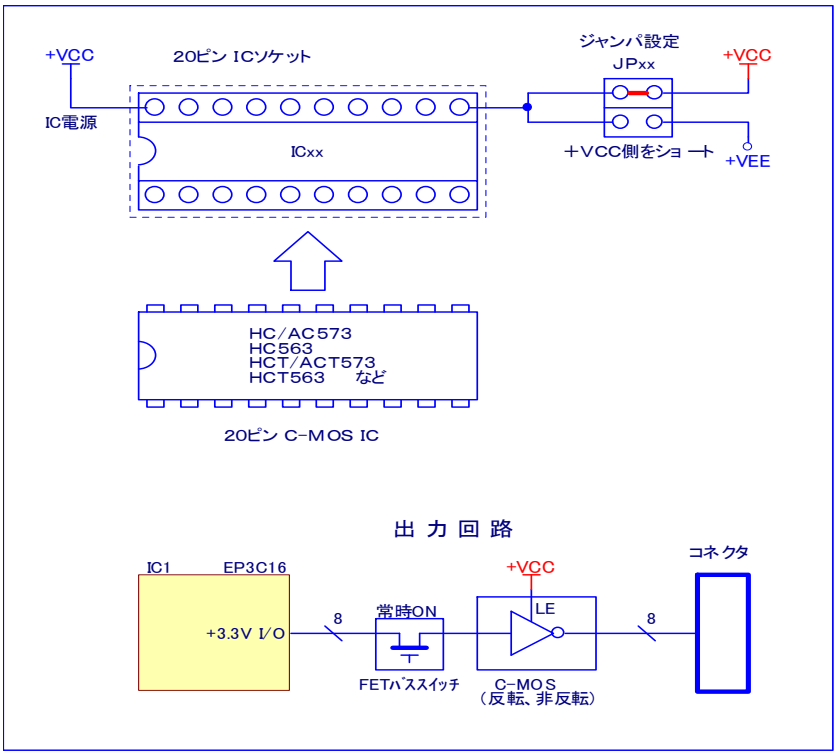
・C-MOS IC 出力

図のように DIP 型 20 ﾋﾟﾝ IC ｿｹｯﾄに C-MOS IC を取り付け、その 8 ﾋﾞｯﾄを出力ﾎﾟｰﾄにします。

出力ﾚﾍﾞﾙは、C-MOS IC への供給電源である+VCC 電源の電圧により決まります。

+VCC 電源電圧	+3.3V	+5V	
実装する IC	HC/AC573	HCT/ACT573	非反転出力
	HC/AC563	HCT563	反転出力

IC の 11 ﾋﾟﾝ(LE 端子)を+VCC に保ち、IC を常時ｲﾈｰﾌﾞﾙの状態(ﾊﾞｯﾌｧ)で使います。

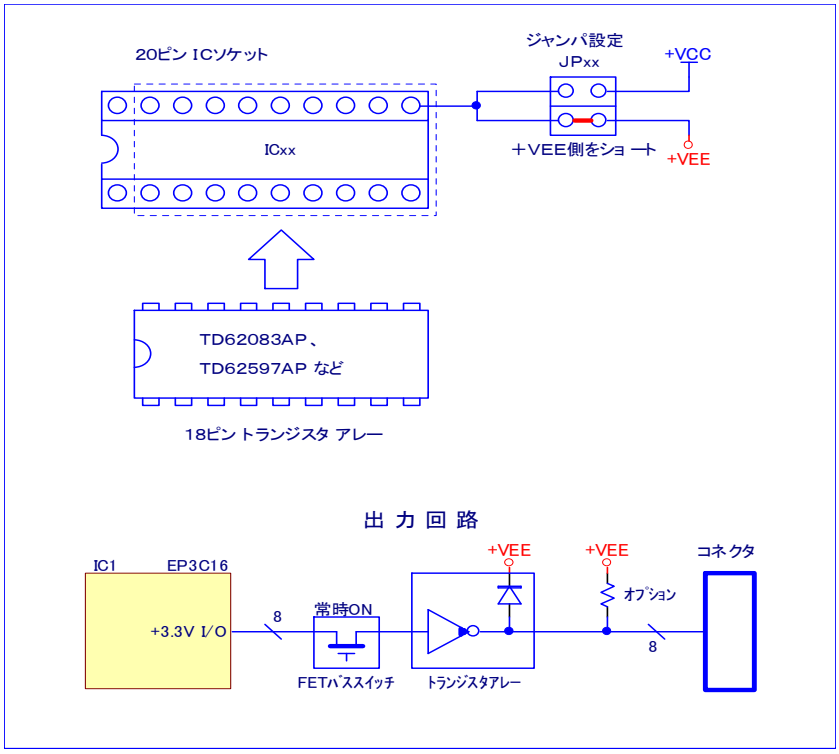


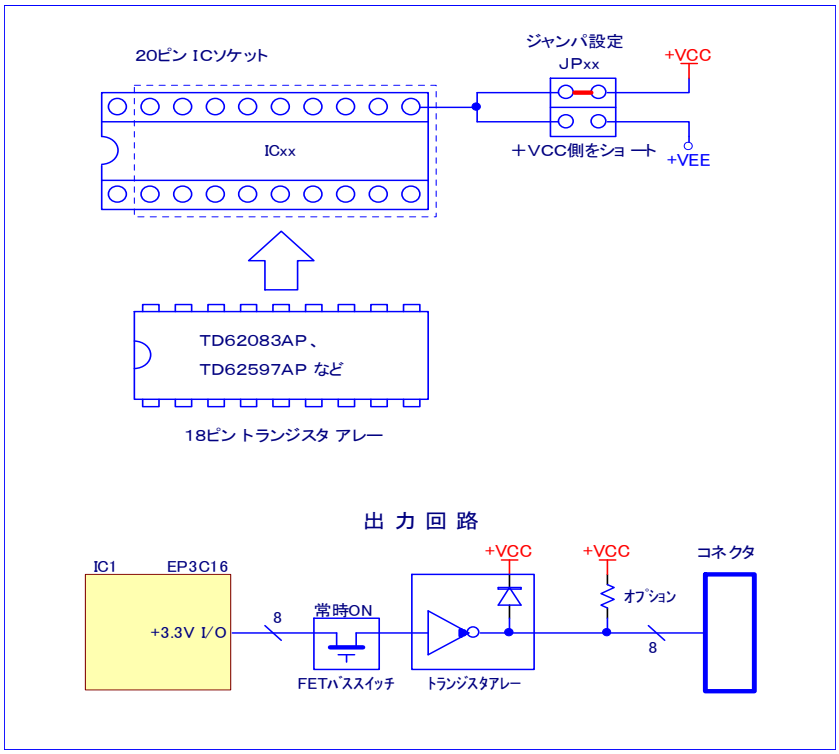
・ﾄﾗﾝｼﾞｽﾀ ｱﾚｰ出力

図のように、20ﾋﾟﾝ IC ｿｹｯﾄの 10 番ﾋﾟﾝの位置に 18ﾋﾟﾝ DIP 型ﾄﾗﾝｼﾞｽﾀｱﾚｰの 9 番ﾋﾟﾝが合うように取り付けます。この 8ﾋﾞｯﾄはｵｰﾌﾟﾝｺﾚｸﾀの出力ﾎﾟｰﾄになりますが、ｵﾌﾟｼｮﾝの SIP 型抵抗ｱﾚｰを取り付けてｵｰﾌﾟﾝｺﾚｸﾀ出力をﾌﾟﾙｱｯﾌﾟすることが出来ます。

+VCC/+VEE 電源を使わない場合、ｼﾞｬﾝﾊﾟ設定をｵｰﾌﾟﾝにしてください。

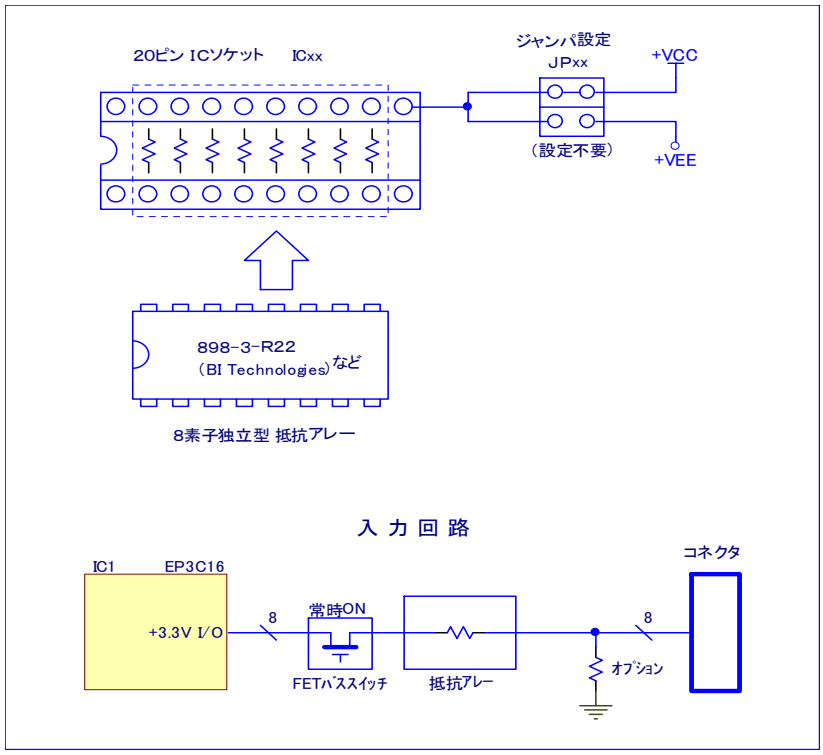
実装する IC	TD62083AP	NPN ﾀﾞｰﾘﾝﾄﾝ出力、ｸﾗﾝﾌﾟﾀﾞｲｵｰﾄﾞ内臓
	TD62597AP	NPN ﾄﾗﾝｼﾞｽﾀ出力、ｸﾗﾝﾌﾟﾀﾞｲｵｰﾄﾞ内臓

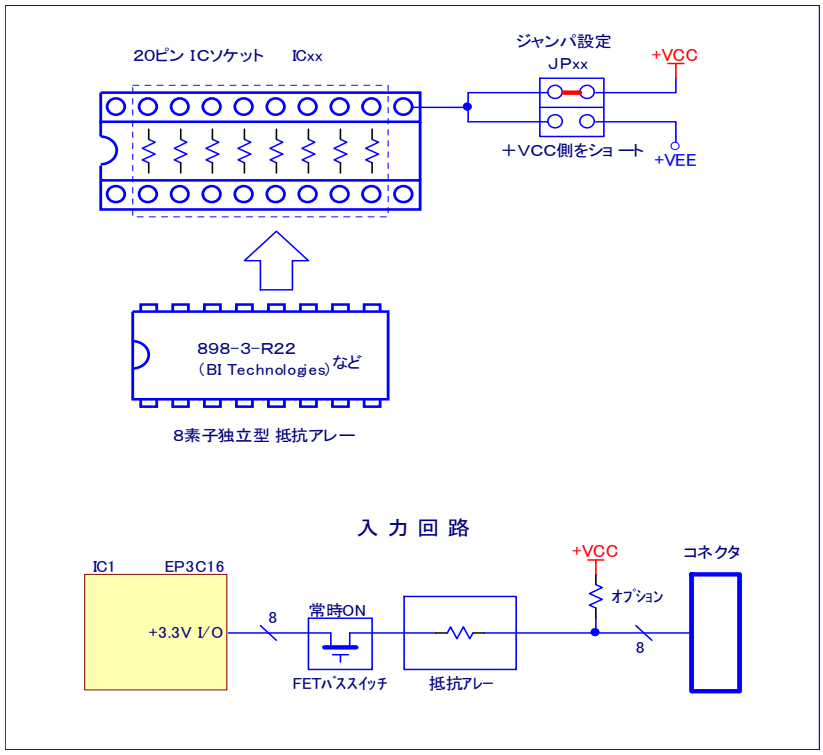




入力ポート（ コネクタＣＮ３～ＣＮ８ ）

図のように、20ﾋﾟﾝ IC ｿｹｯﾄの 2～9 番ﾋﾟﾝの位置に 16ﾋﾟﾝ DIP 型の抵抗ｱﾚｰを合わせて取り付けます。抵抗ｱﾚｰ 898-3-R22 の抵抗値は 22Ω ですが、それ程大きくなければ、この抵抗値に拘わる必要はありません。入力ﾚﾍﾞﾙは+3.3V ですが、FPGA とｺﾈｸﾀ間に（ON 抵抗が 5Ω程度の)双方向性の FET ﾊﾞｽ ｽｲｯﾁ(SN74CB3T3245)が入りますので、5V ﾄｰﾚﾗﾝﾄとなります。このﾎﾟｰﾄは、ﾋﾞｯﾄごとに入出力を、混在させることもできます。出力の場合は、FPGA が 22Ω の抵抗を通して、+3.3V ﾚﾍﾞﾙでｺﾈｸﾀ出力ﾋﾟﾝを直接ﾄﾞﾗｲﾌﾞすることになります。
ｵﾌﾟｼｮﾝの SIP 型抵抗ｱﾚｰを取り付ければ、入力をﾌﾟﾙｱｯﾌﾟまたはﾌﾟﾙﾀﾞｳﾝすることが出来ます。





ＤＩＰスイッチ入力

DIP ｽｲｯﾁ SW1～SW5 は、10kΩで+3.3V にﾌﾟﾙｱｯﾌﾟされており、ON で Low ﾚﾍﾞﾙ、OFF で High ﾚﾍﾞﾙが FPGA に入力されます。

タクトスイッチ入力

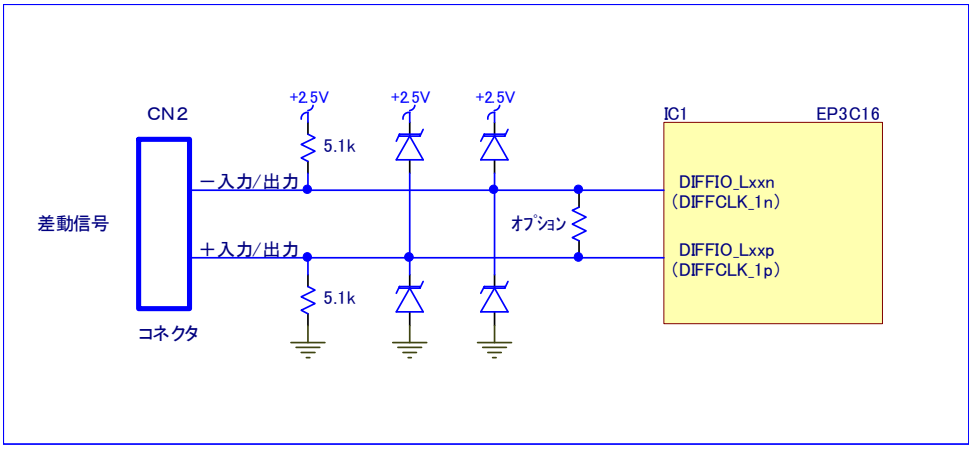
ﾀｸﾄｽｲｯﾁ SW6 は、10kΩで+3.3V にﾌﾟﾙｱｯﾌﾟされており、ﾌﾟｯｼｭしたときに Low ﾚﾍﾞﾙが FPGA に入力されます。

20MHz クロック

FPGA の 209 番ﾋﾟﾝ(CLK8 入力)に、+3.3V 出力ﾚﾍﾞﾙの 20MHz ｸﾛｯｸが入力されています。このｸﾛｯｸを FPGA 内臓の PLL に入れて、望みの動作周波数を得ることが出来ます。

＋２．５Ｖ　Ｉ／Ｏ（ コネクタＣＮ２ ）

ｺﾈｸﾀ CN2 に FPGA から直接 10 本の+2.5V ﾚﾍﾞﾙの I/O 信号が出ています。
この 5 組の信号に LVDS 差動信号を入力する場合は 100Ω の終端抵抗を取り付ける必要があります。LVDS 出力や、ｼﾝｸﾞﾙｴﾝﾄﾞの I/O で使う場合は、そのままご利用できます。
開放時でも入力ﾚﾍﾞﾙを保持するための 5.1kΩのﾌﾟﾙｱｯﾌﾟ/ﾌﾟﾙﾀﾞｳﾝ抵抗が実装されています。
特に問題なければ、ご不要でもこれらを取り外すことなくそのままご使用いただけます。



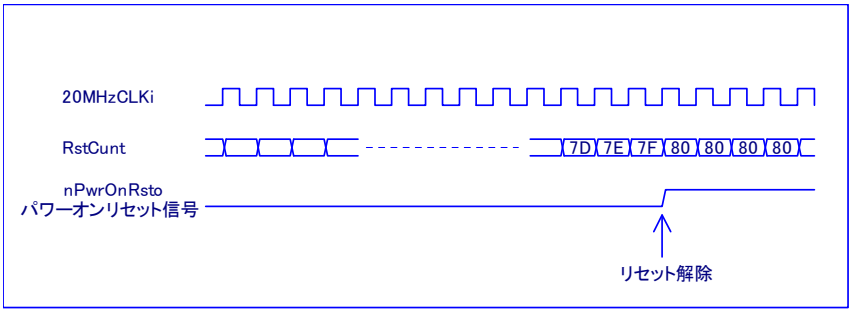
未使用 I/O の処理

外部ｺﾈｸﾀや、ｽｲｯﾁ入力で使用されていない I/O 信号は GND に接続されています。
FPGA のﾌﾟﾛｸﾞﾗﾑ設計で、これらの未使用 I/O ﾋﾟﾝを GND 出力としてください。

パワーオンリセット信号

本器には、ﾊﾟﾜｰｵﾝﾘｾｯﾄ信号を発生させる専用の IC が搭載されておりません。
初期化のために、ﾘｾｯﾄ信号を必要とする場合があります。
以下のようなｺﾝﾎﾟｰﾈﾝﾄを実装して擬似ﾘｾｯﾄ信号を作成してください。
ｱｸﾃｨﾌﾞ Low のﾘｾｯﾄ信号 nPwrOnRsto が得られます。
ｶｳﾝﾀ RstCunt のﾋﾞｯﾄ数でﾘｾｯﾄ時間が変わりますが、確実な動作のために 8 ﾋﾞｯﾄ以上でご使用ください。

```
library         ieee ;
use             ieee.std_logic_1164.all ;
use             ieee.std_logic_unsigned.all ;

entity   PwrOnRstOut   is
                port(
                      clk20MHzi      : in     std_logic ;
                      nPwrOnRsto     : out    std_logic
                    ) ;
end      PwrOnRstOut ;

architecture   rtl  of   PwrOnRst  is
        signal      RstCunt          : std_logic_vector( 7 downto 0 ) ;
        signal      RstCuntEna       : std_logic ;
begin

        process( Clk20MHzi )
        begin
                if( Clk20MHzi 'event  and  Clk20MHzi = '1' )  then
                    if( RstCuntEna  = '1' )  then
                         RstCunt   <=  RstCunt + '1' ;
                    end if ;
                end if ;
        end process ;

        RstCuntEna   <=  '0'  when( RstCunt( 7 downto 1 ) = "1000000" )  else '1' ;

        nPwrOnRsto  <=  RstCunt(7) ;

end             rtl ;
```



PwrOnRstOut モジュールのタイミングチャート